

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

3/9/1

DIALOG(R) File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

SEMICONDUCTOR DEVICE

PUB. NO.: 10-125721 [JP 10125721 A]
PUBLISHED: May 15, 1998 (19980515)
INVENTOR(s): HIGUCHI CHIKAKO
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 08-274728 [JP 96274728]
FILED: October 17, 1996 (19961017)
INTL CLASS: [6] H01L-021/60
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R002 (LASERS); R044 (CHEMISTRY -- Photosensitive Resins)

ABSTRACT

PROBLEM TO BE SOLVED: To reduce the inductance by connecting electrode pads of a semiconductor chip to a wiring layer by the through-hole bonding and providing a power or ground plane layer at least on one side of an insulation tape to do the wiring processing with the least distance.

SOLUTION: A semiconductor chip 1 has electrode pads 2 at the peripheral edge and connections 17 provided on a wiring layer 14a are bonded to the pads 2 through through-holes. On other area than the connections 17 of the layer 14 a ground plane layer 10a is provided. Ground electrodes of the chip 1 are connected to the plane layer 10a through the connections 17. From the plane layer 10a the wiring layer 14a is connected by through-holes 5 provided at the periphery of an insulating tape 15 and further connected to grounding bumps 6a disposed near the through-holes.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125721

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 R

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平8-274728

(22) 出願日 平成8年(1996)10月17日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 樋口 千賀子

東京都港区芝五丁目7番1号 日本電気株式会社内

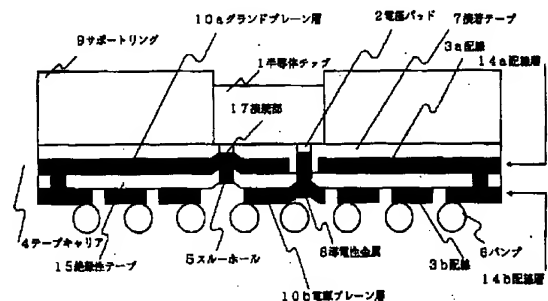
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 テープキャリア半導体装置において、多ピン化に伴い、配線の引き回しが複雑になり、配線長が増長して電気特性が低下することを防ぐ。

【解決手段】 スルーホールボンディング採用と、絶縁テープの少なくとも片面にグランドまたは電源のプレーン層を設けることにより、インダクタンスが低減されノイズが減少する。また、グランドピンまたは電源ピンの少なくともいずれかを、パッケージ周辺部または中央部に集約することにより配線パターンが一部簡略化され、信号用配線の引き回しに余裕ができる。さらに、スルーホールの採用によりチップ搭載部の直下にも配線層およびバンパを設けられるので、配線領域の拡大も達成される。



【特許請求の範囲】

【請求項1】 半導体チップと、両面に金属配線層が設けられた絶縁性テープを有する半導体装置であって、半導体チップは、絶縁性テープに搭載されるものであり、

絶縁性テープは、前記配線層のどちらか片面に、半導体チップの電極への接続部と、前記接続部の直下に相当する部分にテープ裏面に到達するように開口され導電極が埋設されたスルーホールと、テープ裏面に設けられた外部接続端子としての導電性突起物を備えており、半導体チップの電極と配線層は、スルーホールボンディングにより電氣的に接続されており、

絶縁性テープの少なくとも片面には、電源またはグラウンドのプレーン層を設けたことを特徴とする半導体装置。

【請求項2】 半導体チップのグラウンド電極は、グラウンドプレーン層を介してテープ裏面のグラウンド用外部端子に接続されており、

該グラウンド用外部端子は、絶縁性テープの周辺部に集約されたものであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 半導体チップの電源電極は、電源プレーン層を介してテープ裏面の電源用外部接続端子に接続されており、

該電源用外部接続端子は、絶縁性テープの中央部に集約されたものであることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に高密度実装に適したテープキャリア半導体装置に関する。

【0002】

【従来の技術】近年、電子機器の小型化、高性能化に伴い半導体パッケージの多ピン化、高密度化がますます要求されている。これに伴って、リードの狭ピッチ化による一括リフローでの基板実装が困難になってきたため、QFPに代表される周辺リード型実装方式のパッケージから、BGA(Ball Grid Array)に代表されるピッチを拡大できる面格子端子型実装方式のパッケージへと移行しつつある。

【0003】また、現在、半導体チップとリードの電氣的接続は、ワイヤーボンディング方式が主流であるが、多ピン化に伴うチップパッドの狭ピッチ化によってパッドとインナーリードの接続が困難になってきたため、TAB接続方式が注目されている。TAB方式では、絶縁テープ上に設けられてチップ上に引き出したインナーリードと、チップパッド上に形成されたバンプとをボンディングするため、約60 μ mピッチのパッドまで対応可能である。このボンディング技術と面格子端子実装方式とを利用したものにTape-BGAがある。

【0004】Tape-BGAは図5及び図6に示されるように、テープキャリア4を有している。テープキャリア4は、絶縁性テープ15の中心部に設けられ半導体チップ1を受け入れる開口部16と、絶縁性テープ15の片面または両面に設けられた配線層14a、14bをパターン形成した配線3(3a、3b)とを有しており、配線3a、3bの一端と半導体チップ1の電極パッド2とがTABのインナーリード12により接続されるTAB方式で結線されている。9はサポートリングである。

【0005】また半導体チップ1の電極パッド2にTABのインナーリード12及び配線3を介してそれぞれ接続されるグラウンド用バンプ6a、電源用バンプ6b、信号用バンプ6cには、それぞれ接続用の半田ボール13が盛り付けてある。また絶縁性テープ15の表面側に形成された配線3aと、裏面側に形成された配線3bとは、スルーホール5内の導電性金属8により適宜選択されて電氣的に接続されている。11は封止樹脂である。

【0006】しかし図5及び図6に示すTape-BGAの構造のものでは、半導体チップ1の重量がインナーリード12に負荷される構造であり、インナーリード12の取扱いに注意を要する必要がある、絶縁性テープ15の開口部16の領域は、配線及び実装の領域として利用することができず、絶縁性テープ15に設けられる配線は、開口部16を避けて形成されることとなり、テープキャリア4の寸法を縮小するには限界があり、小型化する上で障害となっていた。

【0007】また配線3は、インナーリード12から半田ボール13まで引き回すため、配線長が長く、多ピンになるほど配線幅も細くなり、配置も複雑になる等の条件が厳しくなる。また、配線長も長くなると、インピーダンスが大きくなる等、電気特性に影響が現われるという問題がある。

【0008】電気特性上の問題を解決する方法としては、特公平1-60941号公報に示されるような電源及びグラウンドのプレーン層を設けるものがある。特公平1-60941号公報に示される技術では、プレーン層が設けられることにより、インダクタンスが大幅に減少するため、電気特性が向上されるようになっている。この公知例では、電流量の分散化を目的として、最近の半導体チップには電源電極が複数設けられていることが多いが、プレーン層を設けることにより、ピン数削減も同時に可能であることが強調されている。

【0009】また特願平6-110857号の明細書には、フレキシブルフィルムを有するテープキャリアタイプ(TCP)のパッケージに採用されているスルーホールボンディングが電気特性の向上に対して有効であることが強調されている。このパッケージでは図7及び図8に示すように、絶縁性テープ15の片面に配線層14が設けられ、配線層14と電極パッド2との接続部の直下

にスルーホール5が形成されたテープキャリア4を有している。

【0010】配線層14からは、絶縁性テープ15に開けられたスルーホール5にメッキによって形成された導電性金属8を介して、外部接続端子であるバンパ6へ電気的に接続される。テープキャリア4と半導体チップ1とは、中間に接着テープ7を介してスルーホールボンディングされている。

【0011】

【発明が解決しようとする課題】従来の、絶縁性テープの片面または両面に金属配線層が設けられ、チップ搭載部の直下に相当するテープ部分が開口されてインナーリードが引き出してあるテープキャリアを有し、半導体チップの電極パッドとインナーリードとがTABボンディングにより接続されている、いわゆるTape-BGAタイプのテープキャリア半導体装置では、電源及びグランド配線も信号配線と同じように引き回してあり、半導体チップの電極パッドから遠いバンパになるほど接続配線長が長くなるため、インダクタンスが大きくなり、ノイズの影響が無視できない。また、電極パッド毎に配線が設けてあるため、ピン数が多くなり、配線も複雑になる。

【0012】さらに、このタイプのテープキャリア半導体装置では、半導体チップ搭載部の直下に相当するテープ部分を開口してインナーリードを引き出しているため、この部分には配線を引き回すことができず、バンパを取り付けることもできない。従って、配線は常にチップの外周に向かって引き回すことになり、パッケージの多ピン化、小型化に際して障害となるという欠点があった。

【0013】本発明の目的は、以上のような従来の問題点を解決し、電気特性を向上させ、かつ配線パターンを簡略化、多ピン化、小型化に適したテープキャリア半導体装置を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置は、半導体チップと、両面に金属配線層が設けられた絶縁性テープを有する半導体装置であって、半導体チップは、絶縁性テープに搭載されるものであり、絶縁性テープは、前記配線層のどちらか片面に、半導体チップの電極への接続部と、前記接続部の直下に相当する部分にテープ裏面に到達するように開口され導電極が埋設されたスルーホールと、テープ裏面に設けられた外部接続端子としての導電性突起物とを備えており、半導体チップの電極と配線層は、スルーホールボンディングにより電気的に接続されており、絶縁性テープの少なくとも片面には、電源またはグランドのプレーン層を設けたものである。

【0015】また、半導体チップのグランド電極は、グランドプレーン層を介してテープ裏面のグランド用外部

端子に接続されており、該グランド用外部端子は、絶縁性テープの周辺部に集約されたものである。

【0016】また、半導体チップの電源電極は、電源プレーン層を介してテープ裏面の電源用外部接続端子に接続されており、該電源用外部接続端子は、絶縁性テープの中央部に集約されたものである。

【0017】

【作用】スルーホールボンディングにより半導体チップの電極パッドと配線層とを接続し、絶縁テープの少なくとも片面に電源またはグランドプレーン層を設けることにより、最小距離での配線処理を行い、インダクタンスを低減しノイズを減少させる。プレーン層は、グランド電位側を広く取るようにすると、より効果的である。さらに、グランドプレーン層と信号配線を別々の配線とし、信号配線をグランドプレーン層が覆うように形成すると、信号配線からのノイズがグランドプレーン層により遮蔽されるため、より効果的である。また、プレーン層を設けることにより、電源またはグランドピン数の削減も同時に可能となる。

【0018】さらに、グランドピンまたは電源ピンを絶縁性テープの周辺部または中央部に集約することにより、配線パターンが一部簡略化される。グランドピンも電源ピンもスルーホールで接続しているため、配線長は短く、電気特性上有利であり、従ってチップ電極から遠くにあるバンパをこれらのピンで埋めれば、信号配線を少しでも短くすることができる。また、スルーホールボンディングを採用することでチップ搭載の直下に相当する部分にも配線を設けてバンパを配置することができるので、半導体装置本体をなすパッケージの小型化に対して有利である。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。図1は本発明の実施形態を示す断面図、図2は同平面図を示している。

【0020】図において、本発明のテープキャリア半導体装置は、両面にエッチング等により形成した金属の配線層14a及び14bを設けた絶縁性テープ15からなるテープキャリア4を有している。

【0021】半導体チップ1の電極パッド2と配線3(3a, 3b)は、電極パッド2の直下に設けられたスルーホール5を利用したスルーホールボンディングにより直接接続されている。スルーホール5はパターン形成後に、所望の位置のテープ部分にホールを設け、導電性金属8でメッキ処理するため、ホール内が導電性金属8で充填されている。

【0022】また、外部接続端子としての導電性金属からなるバンパ電極(導電性物質)6(6a, 6b, 6c)が形成されており、このバンパ電極6は、テープキャリア4のほぼ全面を利用し、例えば同一ピッチで面格子状に配置されている。

【0023】以上のテープキャリア半導体装置において、配線は次のように配置されている。まず、半導体チップ1のグランド電極は、配線層14aに設けられたグランドプレーン層10aに接続され、プレーン層10aからは厚み方向に設けたスルーホール5によって、絶縁性テープ15の裏面側周辺部（半導体装置本体をなすパッケージの周辺部側）に設けたグランド用バンパ6aへ接続される。

【0024】電源電極は、電極パッド2の下に設けたスルーホール5を通じて配線層14bの中央に形成された電源プレーン層10bに接続され、絶縁性テープ15の中央部（半導体装置本体をなすパッケージの中央部側）に集約した電源用バンパ6bに接続される。

【0025】残る信号電極は、電極パッド2の下に設けられたスルーホール5を介して配線層14bに接続され、配線層14bの電源用プレーン層10bを除く領域に形成された個々の配線3を通じて絶縁性テープ15の裏面にある個々の信号用バンパ6cに接続される。すなわち電極パッドから遠い位置にあるバンパには、できるだけ信号ピンは配置しないようになっている。

【0026】（実施例）以下、本発明の実施例について図面を参照しながら更に詳細に説明する。

【0027】本実施例のテープキャリア半導体装置は、銅箔をエッチング等により所望の形状に加工した配線層14a及び14bと、配線層14aに半導体チップ1の電極パッド2との接続部17を設け、かつ、係る領域の直下に相当するテープ部分にスルーホール5が形成されているポリイミド系樹脂の絶縁性テープ15からなるテープキャリア4を備えている。スルーホール5には、銅などのメッキ処理により導電性金属8が充填されている。また、外部接続端子としての半田のバンパ6がテープキャリア4のほぼ全面を利用して、同一ピッチで面格子状に配置され形成されている。

【0028】半導体チップ1の外周縁部に設けられた電極パッド2には、配線層14aに設けられた接続部17がスルーホールボンディングされる。配線層14aの接続部17を除く領域には、グランドプレーン層10aを設けてあり、半導体チップ1の複数のグランド電極は、接続部17を通してプレーン層10aに接続される。プレーン層10aからは、絶縁性テープ15の周辺部に設けられたスルーホール5によって配線層14aに接続され、さらにスルーホール5の近傍に設けたグランド用バンパ6aに接続される。

【0029】一方、電源及び信号電極は、パッド直下に設けられ内部を導電性金属8で充填されたスルーホール5を介したスルーホールボンディングにより配線層14bに最短経路で接続される。スルーホール5の内部は、常に金属で充填されている必要はなく、導電性金属によるメッキ処理でも構わないが、充填した方が接続部が補強され信頼性が向上する。また、充填金属を介して効率的にエネルギーを伝達できるため、インナーリード接合条件を緩和できる。

【0030】配線層14bのチップ1搭載部の直下に相当する領域には、チップサイズと同等のサイズの電源プレーン層10bが設けられ、複数の電源用電極パッド2はスルーホール5を通して全てこのプレーン層10bに接続され、さらに、このプレーン層10bの直下に設けられた電源用バンパ6bへ接続される。残る信号配線は、配線層14bの電源プレーン層10bを除く全領域を利用して個々に引き回されテープ裏面の信号用バンパ6cに接続される。

【0031】次に本発明のテープキャリア半導体装置の製造方法について、図3及び図4を用いて説明する。

【0032】まず、図3(a)に示すように、本実施例のテープキャリア半導体装置を構成するのに必要な部材は、テープキャリア4と接着テープ7と半導体チップ1である。

【0033】テープキャリア4は、例えば次のような製法で製作できる。図4(a)に示すように、絶縁性テープ15の両面に銅等の金属箔を設けた3層基材において、まずフォトリソ法により所望の形状で、かつ半導体チップ1の電極パッド2と接続できるように高精度に位置合わせされた配線層14a及び14bを形成する。

【0034】次に図4(b)に示すように、接着テープ7をチップ対応面である配線層14a側からテープキャリア4上に位置合わせした後に固定する。熱可塑性樹脂の場合は、接着テープが溶融する温度まで加熱することで仮固定できる。

【0035】次に図4(c)に示すように、絶縁性テープ15及び接着テープ7に配線層14a側からレーザーやエッチング等によりスルーホール5を設ける。

【0036】さらに図4(d)に示すように、配線層14b側からも絶縁性テープ15にスルーホール5を開ける。

【0037】そして図4(e)に示すように、スルーホール5内に電解メッキ等で、配線層14上に導電性金属8を形成する。導電性金属8の先端部には、図4(f)に示すように表面にニッケルメッキ19および金メッキ20を施す。

【0038】次に図3(b)のようにTAB接続で用いるシングルポイントボンダーで、接着テープ7を仮固定したテープキャリア4と半導体チップ1を位置合わせ後にインナーリード接続する。

【0039】次に図3(c)のようにサポートリング9を位置合わせしてセッティングし、テープキャリア4側またはチップ1側から加熱、加圧し、テープキャリア4と半導体チップ1およびサポートリング9を間に接着テープ7により貼り合わせる。半導体チップ1とサポートリング9の貼り合わせは別々に行ってもよい。

【0040】最後に図3(d)のようにキャリアテープ4の基板側に同一ピッチで面格子状に配置された例えば半田からなるバンパ6を形成する。半田バンパの形成法については、種々の方法が提案されているが、本発明では特に限定しない。また、バンパ材料としては、一般に63/37共晶半田が適しているが、半田の組成は限定されるものではなく、また、半田に限定されるものでもない。

【0041】以上、本発明を実施形態によって説明したが、本発明は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の変形・変更をしてもよいことは勿論である。例えば、電源及びグランドのプレーン層は同じ配線層に設けられてもよく、また、信号配線の引き回しは基板対応面にある配線層に限る必要はなく、両配線層のどちらにもあってもよい。

【0042】更に、半導体装置本体をなすパッケージのサイズは、半導体チップのサイズよりも大きなものでなく、半導体チップと同等のサイズであっても何ら差し支えない。この場合、サポートリング9を取付ける工程は省略される。

【0043】

【発明の効果】以上説明したように本発明によれば、スルーホールボンディングを採用し、かつ絶縁テープの少なくとも片面にグランドまたは電源のプレーン層を設けることにより、配線長が極めて短くすることができ、グランドまたは電源のインダクタンスを低減しノイズを減少させることができる。

【0044】さらにグランドプレーン層をできるだけ広く取り、信号配線上にはグランドプレーン層が存在するように配置すると、信号配線によるノイズがグランドプレーン層で遮蔽されるため、インダクタンスはプレーン層を設けない場合と比較して半分に低減することができる。

【0045】例えば、352p Tape-BGA(パッケージサイズ:35mmSQ,チップサイズ:7.38mmSQ)では、グランドプレーン層が設けられていない信号ピンのインダクタンスは約10nH前後であるが、本発明のように、絶縁テープを挟んで信号配線上にグランドプレーン層を設けると、インダクタンスは5nH前後に低減することができる。また、プレーン層で特性インピーダンスの調整を行えば、電気特性はさらに向上することが期待できる。

【0046】また、電源ピンとグランドピンが絶縁性テープの中央部と周辺部でかなり離れており、電源のインダクタンスの増大が懸念されるが、テープキャリア、スルーホール、半田バンパの採用により、半導体チップの電極から実装基板までの距離が極めて短くなっているの

で、上記の電極ピンとグランドピンとの配置による影響はほとんどないと考えられる。

【0047】また、グランドピンまたは電源ピンの少なくともいずれかを、絶縁性テープの周辺部または中央部に集約することにより、配線パターンが一部簡略化され、信号用配線の引き回しに余裕ができる。さらに、スルーホールの採用により半導体チップ搭載部の直下にも配線層およびバンパを設けられるので、配線領域の拡大も達成することができる。これらによりバンパの狭ピッチ化が可能となり、半導体装置本体をなすパッケージの多ピン化、小型化に有効である。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置を示す断面図である。

【図2】本発明の実施形態に係る半導体装置を示す平面図である。

【図3】本発明の実施形態に係る半導体装置を製造する方法を工程順に示す断面図である。

【図4】本発明の実施形態に係る半導体装置に用いるテープキャリアを製造する方法を工程順に示す工程図である。

【図5】従来技術を示す断面図である。

【図6】図5の従来技術を示す平面図である。

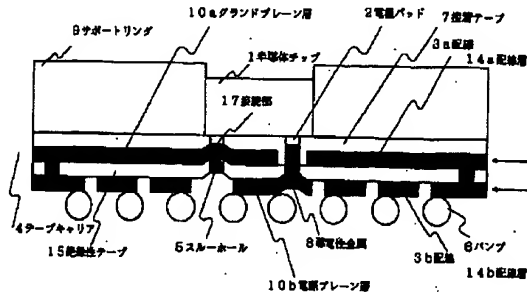
【図7】他の従来技術を示す断面図である。

【図8】図7の従来例を示す平面図である。

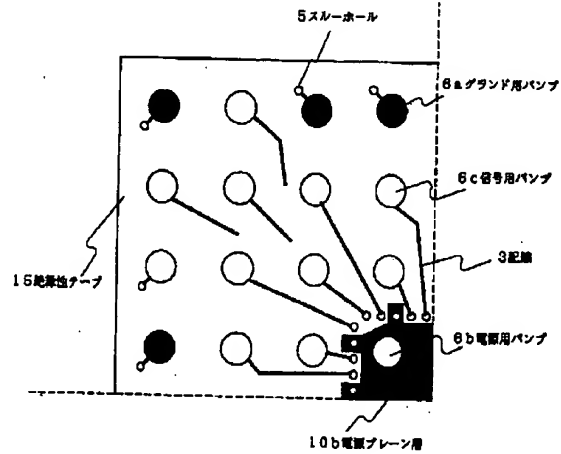
【符号の説明】

- 1 半導体チップ
- 2 電極パッド
- 3 配線
- 4 テープキャリア
- 5 スルーホール
- 6 バンパ
- 7 接着テープ
- 8 導電性金属
- 9 サポートリング
- 10 プレーン層
- 11 封止樹脂
- 12 インナーリード
- 13 半田ボール
- 14 配線層
- 15 絶縁性テープ
- 16 開口部
- 17 電極パッドと配線の接続部
- 18 ボンディングツール
- 19 ニッケルメッキ
- 20 金メッキ

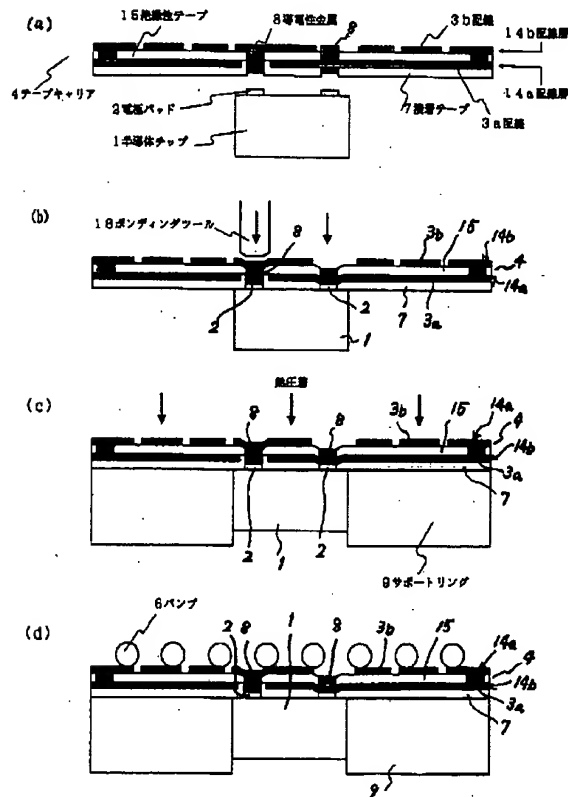
【図1】



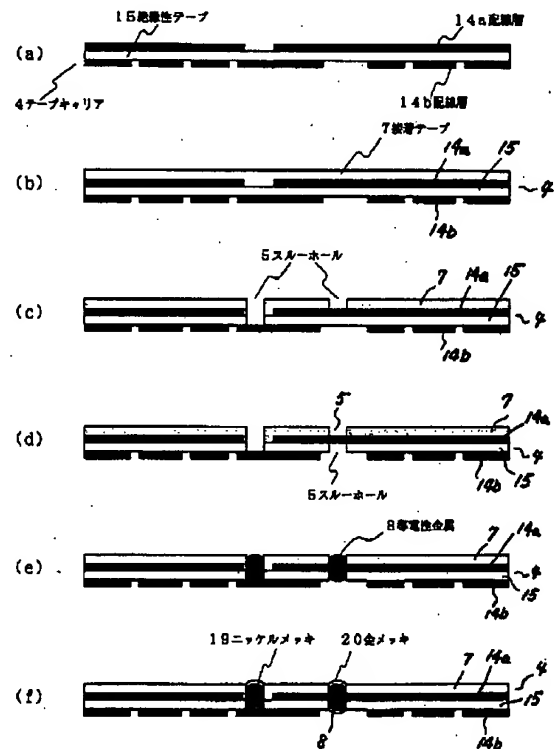
【図2】



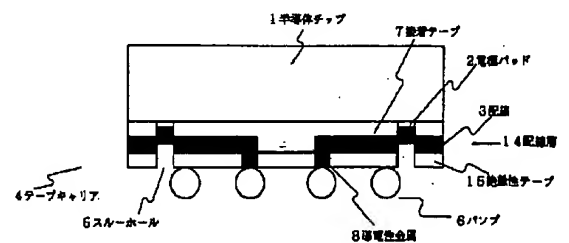
【図3】



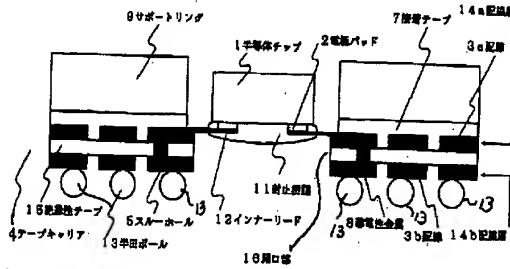
【図4】



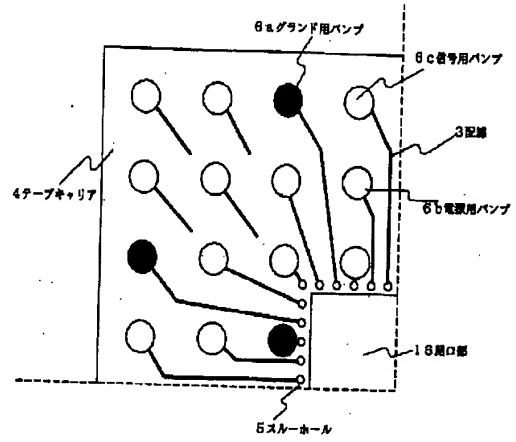
【図7】



【図5】



【図6】



【図8】

